

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000219598 A**

(43) Date of publication of application: **08.08.00**

(51) Int. Cl

**C30B 29/06**

**C30B 15/20**

(21) Application number: **11023765**

(22) Date of filing: **01.02.99**

(71) Applicant: **SHIN ETSU HANDOTAI CO LTD**

(72) Inventor: **HOSHI RYOJI  
SONOKAWA SUSUMU  
SAKURADA MASAHIRO  
OTA TOMOHIKO  
FUSEGAWA IZUMI**

**(54) EPITAXIAL SILICON WAFER, ITS PRODUCTION  
AND SUBSTRATE FOR THE SAME**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a high quality epitaxial silicon wafer which contains no I region (interstitial-silicon-rich region where interstitial silicon atoms are predominant over vacancies) throughout its whole surface and is produced by forming a wafer from a silicon single crystal and then stacking an epitaxial layer on the silicon wafer and in which no projection-shaped surface deformation observable as projections or particles in the surface of the epitaxial layer exists, to produce a single crystal containing no I region within a sliced surface in the diameter

direction of the single crystal, throughout the whole surface, in good yield, to improve productivity of the epitaxial wafer and to reduce the cost of the epitaxial wafer.

**SOLUTION:** This production process for forming an epitaxial wafer which contains no projections having  $^3100$  nm size and  $^35$  nm height in the surface of its epitaxial layer, and growing a silicon single crystal by a CZ(Czochralski) method, comprises: growing a silicon single crystal bar containing no I region; slicing a wafer from the grown single crystal bar; and stacking an epitaxial layer on the wafer containing no I region within the sliced surface throughout the whole surface.

**COPYRIGHT:** (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-219598

(P2000-219598A)

(43)公開日 平成12年8月8日(2000.8.8)

(51)Int.Cl.<sup>7</sup>  
C 30 B 29/06

識別記号  
502

15/20

F I  
C 30 B 29/06

15/20

テーマート(参考)  
502 J 4 G 077  
A

審査請求 未請求 請求項の数13 OL (全10頁)

(21)出願番号 特願平11-23765

(22)出願日 平成11年2月1日(1999.2.1)

(71)出願人 000190149

信越半導体株式会社

東京都千代田区丸の内1丁目4番2号

(72)発明者 星 亮二

福島県西白河郡西郷村大字小田倉字大平  
150番地 信越半導体株式会社白河工場内

(72)発明者 園川 将

福島県西白河郡西郷村大字小田倉字大平  
150番地 信越半導体株式会社白河工場内

(74)代理人 100102532

弁理士 好宮 幹夫

最終頁に続く

(54)【発明の名称】 エピタキシャルシリコンウェーハおよびその製造方法並びにエピタキシャルシリコンウェーハ用基板

(57)【要約】

【課題】 面内全面にI領域を含まないウェーハを単結晶から形成し、これにエピタキシャル層を積んで、エピ層表面に突起あるいはパーティクルとして観察される突起状の表面の歪みが存在しない高品質エピタキシャルウェーハを提供すると共に単結晶径方向の面内全面にI領域を含まない単結晶を歩留りよく高生産性で製造し、エピウェーハの生産性向上とコストダウンを図る。

【解決手段】 エピタキシャル層上に、大きさ100nm以上、高さ5nm以上の突起が存在しないエピタキシャルシリコンウェーハおよびCZ法によってシリコン単結晶を育成する際に、I領域を含まない単結晶棒を育成し、該単結晶棒から切り出した面内全面にI領域を含まないシリコンウェーハ上にエピタキシャル層を積むエピタキシャルシリコンウェーハの製造方法。

## 【特許請求の範囲】

【請求項1】 エピタキシャル層上に、大きさ100nm以上、高さ5nm以上の突起が存在しないことを特徴とするエピタキシャルシリコンウエーハ。

【請求項2】 エピタキシャル基板用シリコンウエーハとして、大きさ100nm以上、高さ5nm以上の突起が存在しないシリコンウエーハを使用することを特徴とするエピタキシャルシリコンウエーハの製造方法。

【請求項3】 エピタキシャル基板用シリコンウエーハとして、I領域（ここにI領域とは、自己格子間原子が空孔に比べ優勢な領域をいう）を含まない単結晶を用いることを特徴とするエピタキシャルシリコンウエーハの製造方法。

【請求項4】 チョクラルスキー法によってシリコン単結晶を育成する際に、I領域を含まない単結晶棒を育成し、該単結晶棒から切り出した面内全面にI領域を含まないシリコンウエーハにエピタキシャル層を積むことを特徴とするエピタキシャルシリコンウエーハの製造方法。

【請求項5】 前記チョクラルスキー法によってシリコン単結晶を育成する際に、磁場を印加することを特徴とする請求項4に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項6】 前記シリコン単結晶の成長条件F/G [ $\text{mm}^2/\text{C} \cdot \text{min}$ ]（ここにF：単結晶成長速度 [ $\text{mm}/\text{min}$ ]、G：単結晶成長界面近傍での結晶成長軸方向の温度勾配 [ $^\circ\text{C}/\text{mm}$ ]とする）を、 $0.18 \text{ mm}^2/\text{C} \cdot \text{min}$ 以上として、抵抗率 $0.03 \Omega \cdot \text{cm}$ 以上かつ单結晶の径方向の面内全面がV領域（ここにV領域とは、空孔が自己格子間原子に比べ優勢な領域をいう）である単結晶棒を育成することを特徴とする請求項4または請求項5に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項7】 前記シリコン単結晶の成長条件F/Gを、次式、

$$F/G > 720 \cdot \rho^2 - 37 \cdot \rho + 0.65$$

（ここにρ：単結晶の抵抗率 [ $\Omega \cdot \text{cm}$ ]とする）に従うものとして、P型で $0.03 \Omega \cdot \text{cm}$ 以下の低抵抗率であり、かつ单結晶の径方向の面内全面がV領域である単結晶棒を育成することを特徴とする請求項4または請求項5に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項8】 前記印加する磁場を水平磁場とし、その中心磁場強度を $500 \sim 6000 \text{ Gau ss}$ とすることを特徴とする請求項5ないし請求項7のいずれか1項に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項9】 前記温度勾配Gの径方向分布において、少なくとも一部に $3.0^\circ\text{C}/\text{mm}$ 以上となる部分を作ることができる炉内構造を使用することを特徴とする請求項4ないし請求項8のいずれか1項に記載したエピタキ

シャルシリコンウエーハの製造方法。

【請求項10】 前記単結晶成長中の結晶回転を $10 \text{ rpm}$ 以下とすることを特徴とする請求項4ないし請求項9のいずれか1項に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項11】 前記単結晶の育成において、直径 $250 \text{ mm}$ （10インチ）以上の大直径単結晶棒を製造することを特徴とする請求項4ないし請求項10のいずれか1項に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項12】 前記請求項2ないし請求項11に記載した製造方法により製造されたことを特徴とするエピタキシャルシリコンウエーハ。

【請求項13】 前記請求項2ないし請求項11に記載した製造方法により製造された酸素濃度面内分布が $10\%$ 以下であることを特徴とするエピタキシャルシリコンウエーハ用基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、大直径エピタキシャルシリコンウエーハおよびその製造方法並びにエピタキシャルシリコンウエーハ用基板に関するものである。

## 【0002】

【従来の技術】 現在製造されている演算素子やメモリー等デバイスの多くは、チョクラルスキー法（CZ法）により引上げられたシリコン単結晶からウエーハを製造し、そのウエーハ面上に作製されている。これらのデバイスは、シリコンウエーハの極表層を利用して電気回路を構成し、動作させている。この表層の品質向上、またラッチャップを防ぐ手法として、エピタキシャルシリコンウエーハ（以下、エピウェーハということがある）がしばしば使用される。

【0003】 このエピウェーハは、CZ法等により育成されたシリコン単結晶から切り出されたウエーハにエピタキシャル層（以下、エピ層といふことがある）を成長させることによって作製される。今までエピウェーハにおいては、エピ層を積むが故に、その基板となる鏡面シリコンウエーハの品質は軽視されてきた。

【0004】 一般的に、結晶中では、結晶成長時に形成される点欠陥が二種類あり、一つは空孔（Vacancy）であり、もう一つは自己格子間原子（Interstitial-Si）である。この内、シリコン原子の不足から発生する凹部、空孔のようなものが優勢な領域がV領域であり、シリコン原子が余分に存在することにより発生する転位や余分なシリコン原子の塊等の自己格子間原子が優勢な領域がI領域である。このV領域には空孔タイプの点欠陥が集合したボイド起因とされているFPD、LSTD、COP等のグローンイン欠陥が高密度に存在し、I領域には転位ループ起因と考えられているL/D（格子間転位ループの略号、LSEPD、LFD）

P D等)の欠陥が低密度に存在するとされている。

【0005】そして、結晶中でのV領域とI領域の境界は、結晶成長速度F [mm/min]と結晶成長界面近傍の結晶成長軸方向の温度勾配G [°C/mm]（ここにGは、シリコンの融点1412°Cから1400°Cまでの軸方向距離 [mm]で温度差12°Cを割った数値である）との比、F/Gによって決まる。このF/Gがある一定値を越えた場合はV領域となり、この値を下回った場合にはI領域となる。

【0006】一般に、結晶成長軸方向の温度勾配Gは、結晶成長界面の径方向で分布を持ち、中心部で小さく、結晶周辺部で大きい（図1参照）。育成中の結晶の成長速度は径方向で一定であるため、F/Gの径方向分布はGの径方向分布の逆数状になる。結晶の成長界面全面でF/Gがある一定値を越えれば、ウエーハ全面にI領域のない結晶が得られる。ただし、この時、結晶の外周部20mmは点欠陥が結晶表面へと外方拡散して消滅可能な領域となるため、通常この部分は除いて考える。例えば、通常の抵抗率（本発明においては、0.03Ω·cm以上の抵抗率を示すもの）の結晶の場合、周辺部20mmを除く内側全てでF/Gが0.18mm²/°C·min以上であれば、全面V領域の結晶が得られる。逆に、周辺部20mmを除く内側全てでF/Gが0.18mm²/°C·min以下であれば、全面I領域の結晶が得られる。

【0007】このような状況の中で、今後主流となる10インチ以上の大直径結晶の製造においては、結晶中心部と周辺部とのGの差が大きく、かつ、成長速度Fがその固化潜熱の増大によって低下するため、結晶径方向全てでV領域となるようなF/Gを達成することが難しくなってきた。このため、ウエーハ面内でI領域とV領域が混在し易くなつており、市場に出回る大直径ウエーハの多くはI領域を含んでいる。

【0008】一方、現在のエピウエーハ用基板として用いられることの多い、抵抗率が0.03Ω·cm以下のP型低抵抗率ウエーハでは、共有結合半径の小さいボロンが高濃度に存在するため、自己格子間原子が存在し易く、I・V領域の境界となるF/Gの値が、抵抗率の低下に伴い、大きくなつて行く。従つて、市場に出回るP型低抵抗率ウエーハの多くはI領域を含んでいる。

#### 【0009】

【発明が解決しようとする課題】近年、大直径化およびエピ成長温度の低温化の流れの中で、10インチ以上の大直径結晶上に、より低温でエピ層を成長させたエピウエーハを製造することが多くなってきた。このような状況の中で、エピウエーハ上に従来観察されることのなかったパーティクルが観察される機会が増えてきた。そして、これらのパーティクルを調査すると、基板となる鏡面ウエーハ表面に高感度パーティクル測定法により検出されるパーティクルであり、これらをAFM (Atomic Force Microscope; 原子間力顕微鏡)等により観察すると突起あるいはパーティクルとして観察される突起状の表面の歪み（以降、突起状パーティクルと呼ぶことがある）であることが判ってきた。

【0010】これらの突起は、エピタキシャル層を積むとさらに大きくなり、通常のパーティクル等として検出されることもあることが判ってきた。そしてさらにこれらの突起は、従来欠陥が少ないと言わされてきたI領域に多いことが判った。このような突起、突起状パーティクルは、デバイス工程でウエーハ表面に集積回路を構成した際、配線の断線等の原因となり、デバイスの特性、信頼性に与える影響は大きく、エピウエーハの品質上その存在を認めることはできない。

【0011】そこで、本発明はこのような問題点に鑑みてなされたもので、面内全面にI領域を含まないウエーハを大直径単結晶から形成し、これにエピタキシャル層を積んで、エピ層表面に突起状パーティクルの存在しない高品質エピタキシャルウエーハを提供すると共に面内全面がI領域でない大直径単結晶を歩留りよく高生産性で製造し、エピウエーハの生産性の向上とコストダウンを図ることを主たる目的とする。

#### 【0012】

【課題を解決するための手段】本発明は、前記目的を達成するために為されたもので、本発明の請求項1に記載した発明は、エピタキシャル層上に、大きさ100nm以上、高さ5nm以上の突起が存在しないことを特徴とするエピタキシャルシリコンウエーハである。このようなエピタキシャルシリコンウエーハは、そのエピ層上に品質上有害な前記大きさの突起あるいは突起状パーティクルが殆ど存在することなく、従つて、デバイス工程における配線の断線等の発生が極めて稀で、デバイス特性、信頼性に悪影響を与えることのない高品質エピタキシャルウエーハを得ることができる。

【0013】そして、本発明の請求項2に記載した発明は、エピタキシャル基板用シリコンウエーハとして、大きさ100nm以上、高さ5nm以上の突起が存在しないシリコンウエーハを使用することを特徴とするエピタキシャルシリコンウエーハの製造方法である。このように、大きさ100nm以上、高さ5nm以上の突起が存在しないシリコンウエーハをエピタキシャル基板用として使用すれば、エピタキシャル成長後にエピタキシャル層上に、デバイス特性を悪化させる大きさ100nm以上、高さ5nm以上の突起が存在しない高品質エピタキシャルシリコンウエーハを製造することができる。

【0014】さらに、本発明の請求項3に記載した発明は、エピタキシャル基板用シリコンウエーハとして、I領域を含まない単結晶を用いることを特徴とするエピタキシャルシリコンウエーハの製造方法である。このようにエピタキシャル層上に突起が多く発生する原因であるI領域を含まない単結晶からウエーハを切り出し、ウエ

一ハ面内全面にI領域を含まないシリコンウエーハをエピタキシャル基板用として使用すれば、エピタキシャル層上に、大きさ100nm以上、高さ5nm以上の突起が存在しない高品質のエピタキシャルシリコンウエーハを製造することができる。

【0015】次に、本発明の請求項4に記載した発明は、チョクラルスキー法によってシリコン単結晶を育成する際に、I領域を含まない単結晶棒を育成し、該単結晶棒から切り出した面内全面にI領域を含まないシリコンウエーハにエピタキシャル層を積むことを特徴とするエピタキシャルシリコンウエーハの製造方法である。

【0016】このように、CZ法によってシリコン単結晶を育成する際に、単結晶中にI領域を含まないシリコン単結晶を育成し、該単結晶棒から切り出した面内全面にI領域を含まないシリコンウエーハにエピタキシャル層を積むようにすれば、エピタキシャル層上に突起あるいは突起状パーティクルが発生することは殆どなく、高品質のエピタキシャルシリコンウエーハを製造することができる。

【0017】この場合、請求項5に記載したように、チョクラルスキー法によってシリコン単結晶を育成する際に、磁場を印加することができる。このように、磁場を印加すると、磁力線を横切る方向のシリコン融液の対流を抑制することができ、シリコン融液中の温度勾配を大きくすることができるので、結晶成長速度の高速化を図ることができる。

【0018】そしてこの場合、請求項6に記載したように、シリコン単結晶の成長条件F/G [mm<sup>2</sup>/°C·min]（ここにF：単結晶成長速度[mm/min]、G：単結晶成長界面近傍での結晶成長軸方向の温度勾配[°C/mm]とする）を、0.18mm<sup>2</sup>/°C·min以上として、抵抗率0.03Ω·cm以上でかつ単結晶の径方向の面内全面がV領域である単結晶棒を育成することができる。このように、作製する単結晶が抵抗率0.03Ω·cm以上の場合に、シリコン単結晶の成長条件F/Gを、0.18mm<sup>2</sup>/°C·min以上として育成すれば、面内全面がV領域である単結晶棒を育成することができ、該単結晶棒から切り出した面内全面V領域のシリコンウエーハ上にエピタキシャル層を積んで突起状パーティクルの殆どないエピタキシャルシリコンウエーハを製造することができる。

【0019】さらに本発明の請求項7に記載したように、シリコン単結晶の成長条件F/Gを、次式、 $F/G > 720 \cdot \rho^2 - 37 \cdot \rho + 0.65$

（ここにρ：単結晶の抵抗率[Ω·cm]、F：単結晶成長速度[mm/min]、G：単結晶成長界面近傍での結晶成長軸方向の温度勾配[°C/mm]とする）に従うものとして、P型で0.03Ω·cm以下の低抵抗率であり、かつ面内全面がV領域である単結晶棒を育成することができる。このように、作製する単結晶がP型で

抵抗率0.03Ω·cm以下の場合、シリコン単結晶の成長条件F/Gを、作製する単結晶の抵抗率の関数として表わされる上式に従って育成すれば、結晶の径方向の面内全面がV領域である単結晶棒を育成することができ、該単結晶棒から切り出した面内全面V領域のシリコンウエーハ上にエピタキシャル層を積んで突起状パーティクルの殆どないエピタキシャルシリコンウエーハを製造することができる。

【0020】そして本発明の請求項8に記載したように、印加する磁場を水平磁場とし、その中心磁場強度を500～6000Gaussとして製造することが望ましい。このようにMCZ法において、印加する磁場を水平磁場とし（以下、HMCZ法ともいう）、水平磁場の中心磁場強度を500～6000Gaussとすれば、ルツボ内のシリコン融液の縦方向の対流が効率よく抑制され、結晶周辺部での酸素蒸発量が抑えられて酸素濃度の結晶径方向の面内分布がより一層均一化され、結晶の変形を伴わずに結晶成長の高速化を図ることができる。また、縦方向の対流が抑制されるので、結晶下のシリコン融液の軸方向温度勾配(dT/dZ)mlを小さくすることができ、成長速度を高速化することができる。

【0021】さらに請求項9に記載したように、温度勾配Gの径方向分布において、少なくとも一部に3.0°C/mm以上となる部分を作ることができると炉内構造を使用することができる。上述のF/Gを達成するためには、Gの低い炉内構造を用いることは容易だが、生産性の低下を導くことになってしまふ。請求項9に示すように、結晶成長界面の温度勾配Gの径方向分布において、少なくとも一部に、3.0°C/mm以上となる部分を有する炉内構造を用い、F/Gがウエーハ全面でV領域を達成する成長速度Fを用いれば、生産性の低下を招くことはない。

【0022】そして請求項10に記載したように、単結晶成長中の結晶回転を10rpm以下とすることが望ましい。ウエーハ全面をV領域とするためには、成長速度を高速化するのがよいが、成長速度Fを高速化しようとすると、結晶の変形が発生する。この変形を抑えるためには、結晶回転を低速化するのが有効であるが、一般的には結晶回転の低速化は結晶成長界面内の酸素濃度の不均一をもたらすので望ましくなく、特にデバイス工程でウエーハに反りが発生することもあり、問題となる。しかし、本発明では水平磁場を印加しているので、縦方向の対流が抑えられ、結晶回転を低速化しても酸素濃度の面内分布が極端に劣化することはなく、結晶の変形を伴わずに成長速度の高速化を図ることができる。

【0023】次に、本発明の請求項11に記載した発明では、単結晶の育成において、直径250mm（10インチ）以上の大直径単結晶棒を製造するようにした。本発明で、上記の単結晶育成条件を満足すれば、比較的容易に直径10インチ以上の単結晶の径方向の面内全面を

V領域として成長させることができ、エピウエーハで突起が発生することを防止することができる。

【0024】そして、本発明の請求項12に記載した発明は、請求項2ないし請求項11に記載した製造方法により製造されたことを特徴とするエピタキシャルシリコンウエーハである。このように、本発明の方法で得られるエピタキシャルシリコンウエーハは、エピ層上に、大きさ100nm以上、高さ5nm以上の突起が存在せず、デバイスの特性、信頼性に悪影響を与えることのない高品質のエピタキシャルシリコンウエーハとなる。

【0025】さらに、本発明の請求項13に記載した発明は、請求項2ないし請求項11に記載した製造方法により製造された酸素濃度面内分布が10%以下であることを特徴とするエピタキシャルシリコンウエーハ用基板である。このように、本発明の方法で得られるエピタキシャルシリコンウエーハ用基板は、その酸素濃度面内分布が10%以下と小さく、デバイスの特性、信頼性に悪影響を与えることのない高品質のエピタキシャルシリコンウエーハ用基板となる。

【0026】以下、本発明につき詳細に説明するが、本発明はこれらに限定されるものではない。本発明者らは、エピタキシャルウエーハのエピ層の成長を研究している中で、エピウエーハ上に從来観察されることのなかったパーティクルが観察される機会が増えってきた。そして、これらのパーティクルを調査すると、基板となる鏡面ウエーハ表面に高感度パーティクル測定法により検出されるパーティクルであり、これらをAFM(原子間力顕微鏡)等により観察するとウエーハ表面の突起あるいは突起状の表面の歪みであることが判ってきた。

【0027】これらのパーティクルとして観察される突起あるいは突起状の表面の歪みの発生領域を詳細に調査すると、基板となるシリコンウエーハの単結晶成長時のI領域分布と一致することが判った。つまり単結晶の大直径化に伴い、単結晶成長速度の低下が起こり、結晶にI領域が発生し易くなつたため、エピウエーハ上にパーティクルが観察されるようになったと考えられる。さらに、これらI領域を含む基板ウエーハにおいて、パーティクルカウンターの高感度測定法を用いると、I領域に対応してパーティクルが検出されることがわかった。ここで高感度測定法とは、S/N比の向上により従来の1/4程度の散乱光強度まで検出できるようになった測定法である。従って、I領域を含まない基板ウエーハがエピタキシャル基板用シリコンウエーハとして適していることが判った。

【0028】一方、上記したエピ層上の突起あるいは突起状パーティクルがデバイスの特性、信頼性に与える影響を調査した結果、突起あるいは突起状パーティクルの大きさが、大きさで100nm以下、高さで5nm以下であれば全く影響しないことが判った。従って上記した大きさ以上の突起あるいは突起状パーティクルを含まな

いシリコンウエーハをエピウエーハの基板として使用すれば高品質のエピタキシャルシリコンウエーハが得られることになる。

【0029】このI領域を含まずかつ大きな突起のないウエーハを製造するためには、単結晶育成条件のF/Gが結晶の径方向全てにおいて所定値を越えるようにFとGを制御すればよい。例えば、抵抗率0.03Ω·cm以上の結晶においては、F/Gの値が0.18mm<sup>2</sup>/℃·min以上であればよい。特にグローンイン欠陥の低減のためにGを低めに設定したホットゾーンでなければ、通常用いるホットゾーンのGは結晶の中心部で2.5~4.5°C/mmであり、外周20mmでのGは、3.0~6.0°C/mmである。従って、上記のF/Gを満足するにはFが0.55~1.1mm/min程度必要であることが判る。ところが10インチ以上の大直径結晶においては、シリコン融液が結晶化する際に発生する固化潜熱が大きくなるため、成長可能速度が低下し、上記のような成長速度を達成出来なくなつてきている。

【0030】さらに、現在のエピウエーハ基板として用いられることが多いP型で抵抗率0.03Ω·cm以下の低抵抗率結晶においては、実験の結果、ウエーハ全面がV領域となるF/Gは、単結晶の抵抗率ρ[Ω·cm]の関数として次式、  

$$F/G > 720 \cdot \rho^2 - 37 \cdot \rho + 0.65$$
 で表わされることが判った(図2参照)。(ここに、F: 単結晶成長速度 [mm/min]、G: 単結晶成長界面近傍での結晶成長軸方向の温度勾配 [°C/mm] とする)

従って、例えば、周辺部20mmでのGが4.0°C/mmとすると、ρ=0.015Ω·cmでF>1.03mm/min、ρ=0.010Ω·cmでF>1.41mm/min、ρ=0.007Ω·cmでF>1.71mm/min、ρ=0.005Ω·cmでF>1.93mm/minとなり、このような成長速度の高速化は容易に達成出来るものではない。

【0031】従って、これを解決するためには、ホットゾーンの変更によりGを低下させるか、もしくは成長速度の高速化を図って所望のF/Gを実現することになる。しかしながら、ホットゾーンの変更を含めたGの低下は、成長可能速度の低下を招き、生産性の低下を引き起こすため好ましくない。そこで本発明では、外周部20mmでのGが3.0°C/mm以上である従来のホットゾーンを維持したまま、成長速度の高速化を図り、上記問題を解決した。

【0032】本発明では、成長速度の高速化のため、水平磁場印加CZ法(HMCZ法)と低速結晶回転を用いた。CZ法における結晶成長可能速度V<sub>max</sub>は、成長中の結晶の熱収支によって決定される。結晶へ入る熱量は、シリコン融液から結晶への熱量H<sub>in</sub>、および液体が

固体に相変化するときに発生する固化潜熱  $H_{sol}$  とがある。結晶成長部近傍の熱収支を考えた場合、結晶から排出される熱量  $H_{out}$  は、 $H_{in} + H_{sol}$  の和に等しいと考えられる。それ故、 $H_{in}$  は、結晶下のシリコン融液の軸方向温度勾配 ( $dT/dZ$ )  $m$  に、 $H_{sol}$  は結晶成長速度  $F$  に、 $H_{out}$  は結晶成長界面直上の温度勾配  $G$  に比例すると考えられる(図3参照)。

【0033】成長速度の高速化に伴い、 $H_{sol}$  は大きくなるため、成長可能速度の向上のためには  $H_{out}$  を大きくするか、 $H_{in}$  を小さくする必要がある。ここで本発明の目的はホットゾーンを変えず、 $G$  を維持したままで成長速度を向上することにより、I領域のない結晶を育成することであり、 $H_{out}$  は一定と考える。従って、 $H_{in}$  を小さくする必要がある。

【0034】そこで、本発明では、磁場を印加した。特に水平磁場を印加することにより、結晶下のシリコン融液の軸方向温度勾配 ( $dT/dZ$ )  $m$  を小さくすることができ、 $H_{in}$  を小さくすることができる(Fumio Shimura; Semiconductor Silicon Crystal Technology, 1989 参照)。さらに、磁場を印加することにより、シリコン融液中の径方向温度勾配 ( $dT/dX$ )  $m$  を大きくすることができ、高速で結晶を成長させた場合に発生するルツボ壁からの固化を防ぐことができる(日経マイクロデバイス、1986年7月号参照)。これらの効果により、 $F_{max}$  の上限値を引き上げることが可能である。しかし、これだけでは上記の成長速度を達成出来なかった。

【0035】すなわち、成長速度を高速化しようとした場合、結晶の変形が発生する。これを抑えるためには、結晶回転を低速化することが有効である。しかし、結晶回転の低速化は、結晶成長界面内の酸素濃度の不均一をもたらす。酸素濃度の面内分布の不均一は、デバイス工程でのウエーハ反り等の問題を引き起こすため、工業製品としては不適切である。これは、成長中の結晶の周辺では、シリコン融液中の酸素濃度が蒸発により低下しているためである。従来のCZ法では、この中心部と周辺部の酸素濃度の不均一を、結晶回転により引き起こされる強制対流で強制的に均一化していた(W.Zulehner et al.; Crystal Vol.8, 1982等参照)。

【0036】しかし、磁場を印加した場合、その磁力線を横切る方向の対流は、抑制されることが知られている。HMCZ法では、横方向の磁力線のため、縦方向の対流が抑えられる。このため、境界拡散層の厚さが通常のCZ法に比べ、周辺部で薄くならない。従って結晶回転を低速化しても酸素濃度の面内分布が極端に劣化することはなく、結晶低速回転を用いることが可能であり、結晶の変形を伴わず成長速度の高速化を実現することができる。

【0037】本発明では、水平磁場の中心磁場強度を500~6000Gaussとし、単結晶成長中の結晶回転を10rpm以下に制御するようにした。こうするこ

とで、シリコン融液の縦方向対流が効率よく抑制され、結晶回転の低速化に伴う結晶成長界面内の酸素濃度の中心部と周辺部の不均一さが改善され、結晶の変形を伴わずに結晶成長の高速化を図ることが出来る。

【0038】上記のような手法を用いることにより、結晶成長速度の高速化を図ることができた。これによりエピウェーハ基板として望ましくないI領域を含まず、ウエーハ全面がV領域であり、大きな突起のないシリコン単結晶を、歩留りよく、高い生産性で製造することができる。

#### 【0039】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。まず、本発明で使用するHMCZ法による単結晶引上げ装置の構成例を図3により説明する。図3に示すように、この単結晶引上げ装置30は、引上げ室31と、引上げ室31中に設けられたルツボ32と、ルツボ32の周囲に配置されたヒータ34と、ルツボ32を回転させるルツボ保持軸33及びその回転機構(図示せず)と、シリコンの種結晶5を保持するシードチャック6と、シードチャック6を引上げるワイヤ7と、ワイヤ7を回転又は巻き取る巻取機構(図示せず)を備えて構成されている。ルツボ32は、その内側のシリコン融液(湯)2を収容する側には石英ルツボが設けられ、その外側には黒鉛ルツボが設けられている。また、ヒータ34の外側周囲には断熱材35が配置されている。そして、引上げ室31の水平方向の外側に、水平磁場用磁石36を設置し、HMCZ法としてシリコン融液2の対流を抑制し、単結晶の安定成長をはかっている。

【0040】次に、上記のHMCZ法単結晶引上げ装置30による単結晶育成方法について説明する。まず、ルツボ32内でシリコンの高純度多結晶原料を融点(約1412°C)以上に加熱して融解する。次に、水平磁場を印加し、ワイヤ7を巻き出すことにより融液2の表面略中心部に種結晶5の先端を接触又は浸漬させる。その後、ルツボ保持軸33を適宜の方向に回転させるとともに、ワイヤ7を回転させながら巻き取り種結晶5を引上げることにより、単結晶育成が開始される。以後、引上げ速度と温度を適切に調節することにより略円柱形状の単結晶棒1を得ることができる。この略円柱形状の単結晶棒1を引上げるに当たり、単結晶成長速度  $F$  [mm/min] と単結晶成長界面近傍での結晶成長軸方向の温度勾配  $G$  [°C/mm] で表わされる  $F/G$  [mm<sup>2</sup>/°C · min] を適切に調整すれば、I領域を含まない単結晶が得られる。

【0041】以上のように、上記で説明した製造方法と装置によって製造されたシリコン単結晶において、本発明のHMCZ法の適切な条件下に成長させれば、高速成長にも拘わらず変形が極めて少なく、ウエーハ状に加工した時に面内全面にI領域を含まずエピタキシャルウエ

ー哈に加工しても大きな突起のない単結晶棒が得られる。

【0042】本発明のエピタキシャルシリコンウエーハは、例えば上記のような製造方法と装置によって製造された単結晶の径方向の面内全面にI領域を含まない単結晶棒から切り出されたウエーハから鏡面ウエーハを形成し、これを基板としてエピタキシャル膜を通常のCVD法で積めば、表面に突起あるいは突起として観察される表面の歪みのないエピタキシャルシリコンウエーハを作ることができる。

【0043】例えば、CVD法によるシリコンエピタキシャル成長は、Siを含んだ原料ガスをキャリアガス(通常H<sub>2</sub>)と共に反応炉内に導入し、1000°C以上の高温に加熱されたシリコン基板上に原料ガスの熱分解または還元によって生成されたSiを析出させて行われる。原料ガスは、SiCl<sub>4</sub>、SiHCl<sub>3</sub>、SiH<sub>2</sub>Cl<sub>2</sub>、SiH<sub>4</sub>の4種が通常使用されている。反応温度は、SiCl<sub>4</sub>の場合は、主としてH<sub>2</sub>による水素還元のため1150~1200°Cと高く、塩素の割合が少なくなると低温になり、SiH<sub>4</sub>の場合には熱分解反応によって1000~1100°Cで成長させる。エピタキシャル成長装置には、横型炉、縦(ディスク)炉、バーレル型炉、毎葉式炉等が使用されるが、シリコン基板の大直径化に伴い多数枚同時充填のパッチ式から1枚づつ処理する毎葉式が生産性の向上や膜厚、抵抗率の均一性の向上を図る点からも主流になりつつある。

#### 【0044】

【実施例】以下、本発明の具体的な実施の形態を実施例を挙げて説明するが、本発明はこれらに限定されるものではない。始めに、大口径シリコンウエーハにエピタキシャル層を成長させたとき、いかなる条件であれば、突起あるいは突起状パーティクルがウエーハ表面に発生しないかを確認するため、次の試験を行った。

(テスト1) 抵抗率8~12Ω·cmの範囲で、結晶周辺部20mm位置での成長条件F/Gを0.155mm<sup>2</sup>/°C·minとして引上げた直径8インチの単結晶棒から、ほぼ面内の全面にI領域を含むウエーハ(W-1とする)、および結晶周辺部20mm位置での成長条件F/Gを0.239mm<sup>2</sup>/°C·minとして引上げた単結晶棒から、面内全面にI領域を含まないウエーハ

(W-2とする)とを作製した。なお、このGの計算には、例えば、FEMAGと呼ばれる総合伝熱解析ソフト(F. Dupret, P. Nicodeme, Y. Ryckmans, P. Wouters, and M. J. Crochet, Int. J. Heat Mass Transfer, 33, 1849 (1990))を使用し、シリコンの融点1412°Cから1400°Cとなる位置までの距離を計算し、12°C(1412°C-1400°C)をこの距離で割った数値をG(°C/mm)とした。

【0045】これらのウエーハを高感度のパーティクル

カウンターを用いて観察したところ、W-1のI領域に当たる外周部に非常に小さいパーティクル状の散乱が検出された【図4(a)参照】。これをAFMにより観察したところ、突起であることが判った【図5参照】。これに厚さ2μmのエピタキシャル層を積んだところ、非常に小さなパーティクル状散乱が観察された位置と同じ位置に、パーティクルが観察された【図4(b)参照】。このパーティクルもAFMにより突起であることが判った(図6参照)。その大きさは100nm~1000nmもあり、高さは5nm~20nmもあった。一方、W-2では、ウエーハ全面に高密度のパーティクルが確認されたものの、突起状のものは見つからなかった【図7(a)参照】。これにエピタキシャル層を積んだところ、パーティクルは殆ど確認されなかった【図7(b)参照】。AFMで観察しても突起は確認されなかった。これらのテストから、全面にI領域を含まないシリコンウエーハをエピタキシャルウエーハ用の基板として用いれば、エピタキシャル層をウエーハ表面に成長させた後でもウエーハ表面に突起または突起状パーティクルが発生しないことがわかった。この結果を踏まえて、さらに口径の大きなウエーハを用いて適切な品質を得るための製造条件を確立した。

【0046】(実施例1) 中心磁場強度4000Gaussの水平磁場を印加したHMCZ法において、抵抗率約10Ω·cmの直径12インチ単結晶を28インチのルツボから結晶回転7.0rpmで育成した。ここで使用したホットゾーンによれば、結晶の周辺20mmでのGは3.55°C/mmであった。この時、成長速度0.99mm/minで育成することができた。周辺20mmでのF/Gは0.279mm<sup>2</sup>/°C·minである。この単結晶棒からウエーハ状のサンプルを切り出し、中心部と周辺部(エッジから内周方向に10mm部分)とで酸素濃度を測定し、(|中心濃度-周辺濃度|/中心濃度)×100(%)として酸素濃度面内分布を測定した。その結果、酸素濃度面内分布は5%以下であった。この結晶から切り出されたウエーハ状サンプルには、OSFLINGが観察されず、I領域を含まない結晶を得ることができた。

【0047】こうして得られたシリコンウエーハ上に、SiHCl<sub>3</sub>+H<sub>2</sub>ガス雰囲気、1200°Cで厚さ2μmのエピタキシャル層を成長させた。その表面をパーティクルカウンターで測定したところ、エピウエーハのエピ層上には突起あるいは突起状パーティクルは検出されなかった。

【0048】(比較例1) 磁場を用いない通常のCZ法で育成した以外は、実施例1と同様の条件下に、抵抗率約10Ω·cmの直径12インチ単結晶を28インチのルツボから育成した。この時成長速度は、0.61mm/min程度が上限であり、周辺20mmでのF/Gは0.172mm<sup>2</sup>/°C·minであった。この結晶から

切り出したウエーハ状サンプルでI領域の内側に存在するOSF（酸化誘起積層欠陥）リングの位置を調査したこと、周辺から約30mmの位置に観察された。従って、ウエーハの周辺部がI領域となっていることが確認された。また、酸素濃度面内分布を測定したこと、その値は12%程度であった。このウエーハに前記条件でエピ層を積んだところ、周辺部に大きな突起が観察された。

【0049】尚、OSFリングが出現するか、しないかは、結晶中の酸素濃度にも依存するため、上記のような評価をする際に、誤った判断をする可能性がある。そこで今回評価に用いた結晶の酸素濃度は13ppm（J E I D A）以上とし、熱処理は1000°C、3時間および1150°C、100分間とした。さらに一度の熱処理でOSFリングが検出されない場合は、1150°C、100分間の熱処理を追加して評価した。このように、二度の熱処理を通してOSFリングが出ないものをOSFリングが検出されないと判断した。

【0050】（実施例2）直径8インチで0.03Ω・cm以下のP型低抵抗率結晶を抵抗率を変えて二種類製造した。これらの結晶に比較例1と同じOSFリング評価を行い、OSFリングの位置と成長条件F/Gとの関係を求めた。その結果、OSFリングの外側に存在するI領域が結晶に入り込まないための成長条件F/Gは、抵抗率ρ（Ω・cm）の関数として、次式、

$$F/G > 720 \cdot \rho^2 - 37 \cdot \rho + 0.65$$

（ここに、ρ：単結晶の抵抗率[Ω・cm]、F：単結晶成長速度[mm/min]、G：単結晶成長界面近傍での結晶成長軸方向の温度勾配[°C/mm]とする）で表わされるものであることが判った（図2参照）。これを基に、以下のようにI領域を含まない結晶を試作した。

【0051】抵抗率0.015Ω・cmの8インチ結晶を周辺20mmでのGが、3.74°C/mmであるホットゾーンを用いて成長速度1.4mm/minで育成した。この時、ガスフュージョン法により得られた酸素濃度面内分布は、10%以下であった。抵抗率0.015Ω・cmで必要なF/Gは上式より、0.257mm²/°C・minであり、今回育成された結晶の周辺20mmでのF/Gは0.374mm²/°C・minである。この結晶から切り出したウエーハ状サンプルにはOSFリングが検出されなかった。従って、ウエーハ全面がV領域となっていることが確認された。

【0052】（実施例3）次に、0.008Ω・cmの8インチ結晶を周辺20mmでのGが、4.33°C/mmであるホットゾーンを用いて成長速度1.78mm/minで育成した。この時、ガスフュージョン法により得られた酸素濃度面内分布は、10%以下であった。抵抗率0.008Ω・cmで必要なF/Gは上式より、0.40mm²/°C・minであり、今回育成された結

晶の周辺20mmでのF/Gは0.41mm²/°C・minである。この結晶から切り出したウエーハ状サンプルにはOSFリングが検出されなかった。従って、ウエーハ全面がV領域となっていることが確認された。以上のように上記の式より計算された値以上のF/GではI領域を含まない結晶が得られることが確認された。

【0053】これら二種類のウエーハに前記同様に厚さ2μmのエピタキシャル層を成長させたところ、エピウエーハのエピ層上には、突起あるいは突起状パーティクルは検出されなかった。

【0054】（比較例2）抵抗率0.014Ω・cmの8インチ結晶を周辺20mmでのGが、3.74°C/mmである実施例2と同様のホットゾーンを用いて成長速度1.0mm/minで育成した。抵抗率0.014Ω・cmで必要なF/Gは上式より、0.273mm²/°C・minであり、今回育成された結晶の周辺20mmでのF/Gは0.267mm²/°C・minで、計算値を下回る結果となった。この結晶から切り出したウエーハ状サンプルにはOSFリングが周辺から25mmの位置に検出され、周辺部にI領域が含まれていることが確認された。

【0055】上記比較例2は、F/G～ρ関係式を求めるために行った一連の実験結果の一つであり、このような実験を条件を変えて繰り返し行って関係式の精度を高め、実施例2および実施例3によって実証することができた。

【0056】なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【0057】例えば、上記実施形態においては、直径8インチ、12インチのシリコン単結晶を育成する場合につき例を挙げて説明したが、本発明はこれには限定されず、直径にかかわりなく、例えば直径16インチあるいはそれ以上のシリコン単結晶にも適用できる。

【0058】

【発明の効果】以上説明したように、本発明によれば、エピタキシャルウエーハ基板用シリコン単結晶として適切な品質である単結晶の径方向の面内全面にI領域を含まず、かつエピウエーハに加工した時に、突起（パーティクル状散乱）のない高品質シリコン単結晶の歩留りと生産性の向上を図り、単結晶製造コストの大幅な低減が可能となった。これにより、今後主流となる大直径エピウエーハ用単結晶や現在の主流である低抵抗率単結晶として適切なシリコン単結晶を提供することができるので、突起あるいは突起状パーティクルが存在しない高品質のエピタキシャルシリコンウエーハを安価で提供することができると共に、デバイス製造歩留りやデバイス特性、信頼性を大きく向上させることができる。

## 【図面の簡単な説明】

【図1】結晶成長界面直上の温度勾配Gおよび成長条件F/Gの面内分布を表した模式図である。

【図2】P型低抵抗率単結晶において、OSFリングが発生する成長条件F/Gの抵抗率依存性を表した説明図である。

【図3】本発明で使用したHMCZ法による単結晶引上げ装置の概略と熱収支の説明図である。

【図4】(a)周辺部にI領域を有するウエーハ表面について高感度パーティクル測定を行った結果を表した図である。

(b)周辺部にI領域を有するウエーハ表面にエピタキシャル膜を形成後、エピ膜上について高感度パーティクル測定を行った結果を表した図である。

【図5】本発明の図4(a)のポリッシュドシリコンウエーハの周辺部で観察されたパーティクルをAFMで観

10

察した突起の一例を示す結果図である。

【図6】図4(b)のエピタキシャルシリコンウエーハで観察されたパーティクルをAFMで観察した突起の一例を示す結果図である。

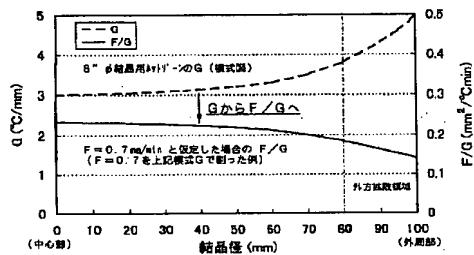
【図7】(a)本発明のI領域を含まないウエーハ表面について高感度パーティクル測定を行った結果を表した図である。

(b)本発明のI領域を含まないウエーハ表面にエピタキシャル膜を形成後、エピ膜上について高感度パーティクル測定を行った結果を表した図である。

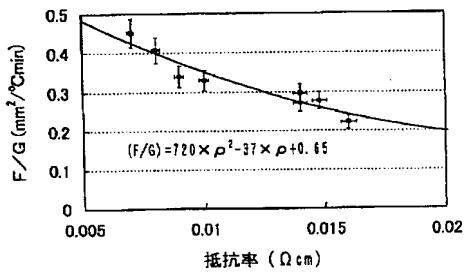
## 【符号の説明】

1…成長单結晶棒、2…シリコン融液(湯)、5…種結晶、6…シードチャック、7…ワイヤ、30…单結晶引上げ装置、31…引上げ室、32…ルツボ、33…ルツボ保持軸、34…ヒータ、35…断熱材、36…水平磁場用磁石。

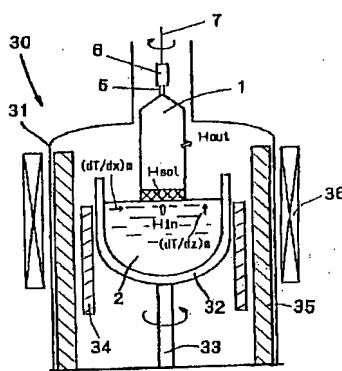
【図1】



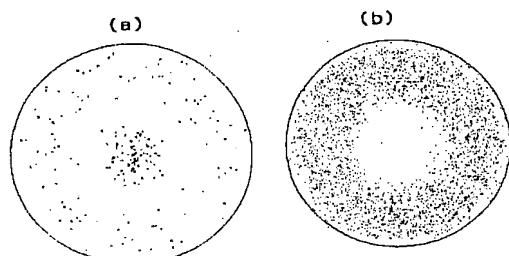
【図2】



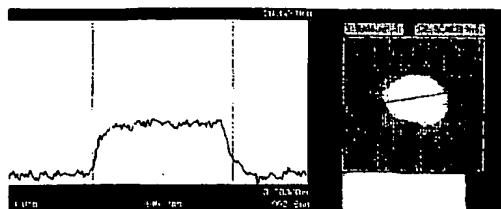
【図3】



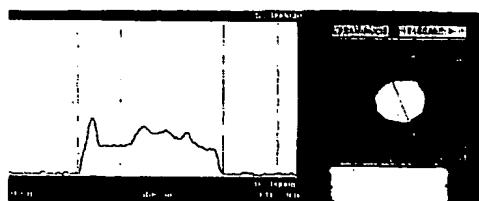
【図4】



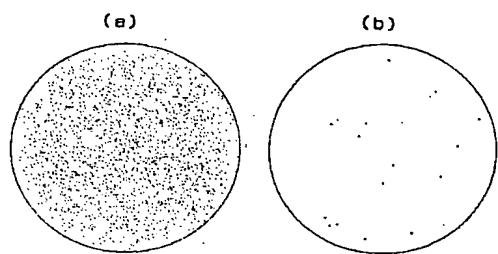
【図5】



【図6】



【図7】



## フロントページの続き

(72)発明者 桜田 昌弘

福島県西白河郡西郷村大字小田倉字大平  
150番地 信越半導体株式会社白河工場内

(72)発明者 太田 友彦

福島県西白河郡西郷村大字小田倉字大平  
150番地 信越半導体株式会社白河工場内

(72)発明者 布施川 泉

福島県西白河郡西郷村大字小田倉字大平  
150番地 信越半導体株式会社白河工場内  
F ターム(参考) 4G077 AA02 AB01 AB06 BA04 CF10  
EH06 EH09 EJ02 PF55

**BEST AVAILABLE COPY**